

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11074433 A**

(43) Date of publication of application: **16 . 03 . 99**

(51) Int. Cl

**H01L 23/48  
H01L 25/07  
H01L 25/18**

(21) Application number: **10175971**

(22) Date of filing: **23 . 06 . 98**

(30) Priority: **30 . 06 . 97 JP 09174505**

(71) Applicant: **TOSHIBA CORP**

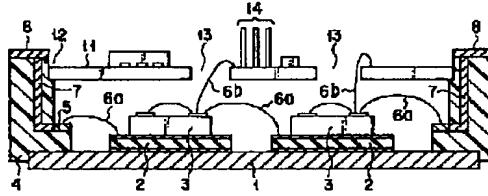
(72) Inventor: **SUGAWARA HIDEKAZU  
TSUNODA TETSUJIRO  
NAKAO SATOSHI**

**(54) SEMICONDUCTOR DEVICE**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To connect an electrode on a semiconductor chip directly to the wiring pattern of a control substrate, which is provided on the semiconductor chip and generates signals for controlling the semiconductor chip by a bonding wire and the like.

**SOLUTION:** An insulated wiring substrate 2 is fixed on a metal base 1. A semiconductor chip 3 is mounted on the wiring pattern on this insulated wiring substrate 2. On the semiconductor chip 3, a control substrate 11 is provided. The signal generated in this control substrate 11 is supplied to the semiconductor chip 3 through a bonding wire 6b passing an opening part 13 provided in the control substrate 11.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-74433

(43)公開日 平成11年(1999)3月16日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 23/48  
25/07  
25/18

識別記号

F I  
H 0 1 L 23/48  
25/04

G  
C

審査請求 未請求 請求項の数21 OL (全 7 頁)

(21)出願番号 特願平10-175971

(22)出願日 平成10年(1998)6月23日

(31)優先権主張番号 特願平9-174505

(32)優先日 平9(1997)6月30日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 菅原 英和

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72)発明者 角田 哲次郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72)発明者 中尾 悟至

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

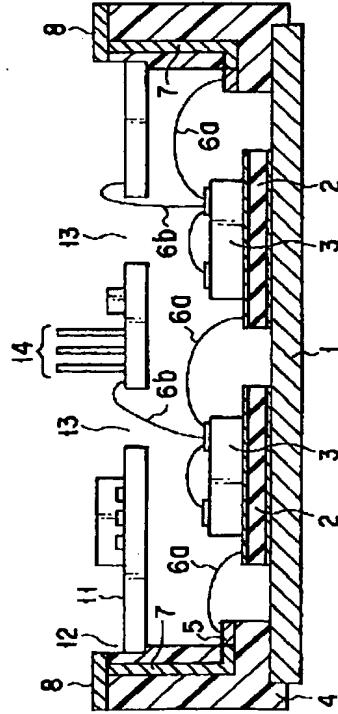
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】本発明は、半導体チップ上の電極を、半導体チップの上方に設けられ半導体チップを制御する信号を発生する制御基板の配線パターンと、ボンディングワイヤ等により直接接続することを特徴とする。

【解決手段】金属ベース1上には絶縁配線基板2が固着され、この絶縁配線基板2上の配線パターン上には半導体チップ3が載置されている。半導体チップ3上には制御基板11が設けられており、この制御基板11で発生される信号は、制御基板11に設けられた開口部13を通るボンディングワイヤ6bを経由して半導体チップ3に供給される。



## 【特許請求の範囲】

【請求項1】 金属ベースと、  
上記金属ベース上に固着された絶縁配線基板と、  
上記絶縁配線基板上に固着され、上面に制御電極を有する少なくとも1個の半導体チップと、  
上記半導体チップの上方に設置され、半導体チップを制御するための制御回路を構成する複数の部品が搭載され、かつ複数の複数の配線パターンが形成された制御用基板と、  
上記半導体チップの制御電極と上記制御用基板の配線パターンとをそれぞれ電気的に接続するボンディングワイヤとを具備したことを特徴とする半導体装置。

【請求項2】 前記制御用基板には、前記ボンディングワイヤが通過する開口部が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記制御用基板には、前記ボンディングワイヤが通過する切り欠き部が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記制御用基板が複数の部分に分割されることによって、前記ボンディングワイヤが通過する隙間を各制御用基板部分相互間に有することを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記絶縁配線基板は、互い対向する第1及び第2表面を有する絶縁基板と、この絶縁基板の第1及び第2表面のそれぞれに形成された導電体層とからなることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記半導体チップは、前記絶縁配線基板の前記第1もしくは第2表面に形成されている前記導電体層上に半田によって固着されていることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記金属ベースが放熱フィンであることを特徴とする請求項1に記載の半導体装置。

【請求項8】 金属ベースと、  
上記金属ベース上に固着された絶縁配線基板と、  
上記絶縁配線基板上に固着され、上面に制御電極を有する少なくとも1個の半導体チップと、  
上記半導体チップの上方に設置され、半導体チップを制御するための制御回路を構成する複数の部品が搭載され、かつ複数の配線パターンが形成された制御用基板と、

それぞれ一端及び他端を有し、一端が上記半導体チップの制御電極に半田により接続され、他端が上記制御用基板の配線パターンに半田により接続された線状配線とを具備したことを特徴とする半導体装置。

【請求項9】 前記絶縁配線基板は、互い対向する第1及び第2表面を有する絶縁基板と、この絶縁基板の第1及び第2表面のそれぞれに形成されている導電体層とからなることを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記半導体チップは、前記絶縁配線基板の前記第1もしくは第2表面に形成されている前記導

電体層上に半田によって固着されていることを特徴とする請求項8に記載の半導体装置。

【請求項11】 前記金属ベースが放熱フィンであることを特徴とする請求項8に記載の半導体装置。

【請求項12】 金属ベースと、  
上記金属ベース上に固着された絶縁配線基板と、  
上記絶縁配線基板上に固着され、上面に制御電極を有する少なくとも1個の半導体チップと、  
上記半導体チップの上方に設置され、半導体チップを制御するための制御回路を構成する複数の部品が搭載され、かつ複数の配線パターンが形成された制御用基板と、

上記半導体チップの制御電極と上記制御用基板の配線パターンとの間に設けられ、両者を電気的に接続する圧接機構とを具備したことを特徴とする半導体装置。

【請求項13】 前記圧接機構は、前記制御電極と前記制御用基板の配線パターンとの間に設けられた圧接用の金属ピンを含むことを特徴とする請求項12に記載の半導体装置。

【請求項14】 前記絶縁配線基板は、互い対向する第1及び第2表面を有する絶縁基板と、この絶縁基板の第1及び第2表面のそれぞれに形成されている導電体層とからなることを特徴とする請求項12に記載の半導体装置。

【請求項15】 前記半導体チップは、前記絶縁配線基板の前記第1もしくは第2表面に形成されている前記導電体層上に半田によって固着されていることを特徴とする請求項14に記載の半導体装置。

【請求項16】 前記金属ベースが放熱フィンであることを特徴とする請求項12に記載の半導体装置。

【請求項17】 金属ベースと、  
互い対向する第1及び第2表面を有する絶縁基板及びこの絶縁基板の第1及び第2表面に形成されている第1及び第2導電体層を有し、上記第1導電体層が半田によって上記金属ベース上に固着された複数の絶縁配線基板と、

互い対向する第1及び第2表面を有し、第1表面にはコレクタ電極が形成され、第2表面にはゲート電極とエミッタ電極とが電気的に分離して形成され、コレクタ電極が半田によって上記絶縁配線基板の第2導電体層上に固着された少なくとも1個のIGBTチップと、

上記IGBTチップの上方に設置され、IGBTチップを制御するための制御回路を構成する複数の部品が搭載され、かつ複数の配線パターンが形成された制御用基板と、  
上記IGBTチップのゲート電極と上記制御用基板の配線パターンとをそれぞれ電気的に接続するボンディングワイヤとを具備したことを特徴とする半導体装置。

【請求項18】 前記制御用基板には、前記ボンディングワイヤが通過する開口部が形成されていることを特徴

とする請求項17に記載の半導体装置。

【請求項19】 前記制御用基板には、前記ボンディングワイヤが通過する切り欠き部が形成されていることを特徴とする請求項17に記載の半導体装置。

【請求項20】 前記制御用基板が複数の部分に分割されることによって、前記ボンディングワイヤが通過する隙間を各制御用基板部分相互間に有することを特徴とする請求項17に記載の半導体装置。

【請求項21】 前記金属ベースが放熱フィンであることを特徴とする請求項17に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体チップと、この半導体チップを制御する制御回路とを同一容器内に収納して構成される半導体装置に関する。

【0002】

【従来の技術】 従来のパワー半導体モジュールの構造を図9に示す。図において、1は金属ベースであり、2、2はそれぞれ絶縁配線基板である。上記各絶縁配線基板2は、セラミック基板の表裏両面に例えばCu等の金属からなる導電体層が形成されたものである。各絶縁配線基板2は、裏面に形成されている導電体層が半田付けされることにより、金属ベース1上に固定されている。各絶縁配線基板2の表面に形成されている導電体層上には、それぞれ複数個の半導体チップ3が半田付けにより固定されている。

【0003】 上記金属ベース1は樹脂ケース4に固定されており、上記各半導体チップ3上の電極及び上記各絶縁配線基板2の表面上の導電体層は、樹脂ケース4に設けられた電極5と、ボンディングワイヤ6を介して相互に接続されている。さらに樹脂ケース4の電極5は、樹脂ケース4の内部に埋め込まれたCu等の金属からなる信号配線7を経由して、樹脂ケース4の上部に設けられた外部端子8に導かれている。

【0004】 また、樹脂ケース4の内部には、それぞれピン(電極)9が内部に埋め込まれた複数の支柱10が底部から突出するように設けられている。そして、これら複数の支柱10によって制御用基板11が支持されており、上記ピン9が制御用基板11上の所定の配線パターンに貫通されかつ半田付けされることによって、制御用基板11の固定及び電気的接続が図られている。この制御用基板11上にはIC(集積回路)等の種々の実装部品が載置され、これらは図示しない配線パターンによって相互に結線されて制御回路が構成されており、この制御回路で上記半導体チップ3を制御するための信号が発生される。そして、制御用基板11上に構成された制御回路で発生された信号は、制御用基板11上の図示しない配線パターン、ピン9、電極5及びボンディングワイヤ6を経由して半導体チップ3上の電極に供給される。

【0005】 図10は、図9に示した従来のパワー半導体モジュールの平面図であり、ここでは制御用基板11は図示を省略している。この例では、各半導体チップ3は、チップ裏面にコレクタ電極が形成され、チップ表面上に複数個(本例では4個)のエミッタ電極E及び1個のゲート電極Gが形成されたIGBT(Insulated Gate Bipolar Transistor)の場合である。

【0006】 図示のように、各半導体チップ3表面上のゲート電極Gは、ボンディングワイヤ6によって樹脂ケース4の電極5に接続されており、さらにこの電極5はピン9を介して制御用基板11に接続されている。

【0007】

【発明が解決しようとする課題】 ところで、図9及び図10に示した従来のパワー半導体モジュールは、樹脂ケース4の電極5にボンディングワイヤ6を接続して回路を構成しなければならず、制御用基板11で発生される制御系の信号を各半導体チップ3に供給する際も、メインの信号と同様に樹脂ケース4に接続するスペースを必要とする。このため、複数個の半導体チップを用いる時は、装置全体が大型化し、それがコストアップにつながるという問題があった。

【0008】 また、樹脂ケース4との接続の制限から、半導体チップ3の配置にも制約があり、配線のインダクタンス成分が大きくなってしまうという問題が発生し、信頼性の低下につながるという悪影響が生じていた。

【0009】 ここで、制御信号系(ゲート制御信号)の電極を、半導体チップ周辺に設けられた樹脂ケース上に設けているのは、ワイヤボンディング接続の工程を連続して行うことができ、ワイヤボンディング工程を一工程とすることができるためである。

【0010】 なお、装置全体の大型化については、図10に示すように、ゲート中継用の電極(電極5)とピン9の分のスペースが必要になるためである。また、インダクタンス成分の増加については、特にエミッタ、コレクタ配線の配線長が大きな影響を与える。

【0011】 従って、この発明は、半導体チップ上の制御電極を、樹脂ケース上の電極とは別の、半導体チップの上方に設置された制御用基板に形成されている配線パターンと、ボンディングワイヤ等により直接接続することにより、理想的な半導体チップ配置とし、小型で低インダクタンス性能を合わせ持つ半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】 この発明の半導体装置は、金属ベースと、上記金属ベース上に固定された絶縁配線基板と、上記絶縁配線基板上に固定され、上面に制御電極を有する少なくとも1個の半導体チップと、上記半導体チップの上方に設置され、半導体チップを制御するための制御回路を構成する複数の部品が搭載され、かつ複数の複数の配線パターンが形成された制御用基板

と、上記半導体チップの制御電極と上記制御用基板の配線パターンとをそれぞれ電気的に接続するボンディングワイヤとを具備したことを特徴とする。

【0013】この発明の半導体装置は、金属ベースと、上記金属ベース上に固着された絶縁配線基板と、上記絶縁配線基板上に固着され、上面に制御電極を有する少なくとも1個の半導体チップと、上記半導体チップの上方に設置され、半導体チップを制御するための制御回路を構成する複数の部品が搭載され、かつ複数の配線パターンが形成された制御用基板と、それぞれ一端及び他端を有し、一端が上記半導体チップの制御電極に半田により接続され、他端が上記制御用基板の配線パターンに半田により接続された線状配線とを具備している。

【0014】この発明の半導体装置は、金属ベースと、上記金属ベース上に固着された絶縁配線基板と、上記絶縁配線基板上に固着され、上面に制御電極を有する少なくとも1個の半導体チップと、上記半導体チップの上方に設置され、半導体チップを制御するための制御回路を構成する複数の部品が搭載され、かつ複数の配線パターンが形成された制御用基板と、上記半導体チップの制御電極と上記制御用基板の配線パターンとの間に設けられ、両者を電気的に接続する圧接機構とを具備している。

【0015】

【発明の実施の形態】以下、図面を参照してこの発明を実施の形態により説明する。図1はこの発明の第1の実施の形態に係るパワー半導体モジュールの断面図である。なお、従来のものと対応する箇所には同じ符号をして説明を行う。

【0016】図において、1は金属ベースであり、2、2はそれぞれ絶縁配線基板である。上記各絶縁配線基板2は、セラミック基板の表裏両面に例えばCu等の金属からなる導電体層が形成されたものである。各絶縁配線基板2は、裏面に形成されている導電体層が半田付けされることにより、金属ベース1上に固着されている。3、3は半導体チップであり、これら各半導体チップ3の裏面全面には電極が形成されており、表面には複数の電極が電気的に分離して形成されている。そして、各半導体チップ3は、裏面に形成されている全面電極が、各絶縁配線基板2の表面に形成されている導電体層上に半田付けされることにより、絶縁配線基板2上に固着されている。

【0017】上記金属ベース1は樹脂ケース4に固定されている。上記半導体チップ3表面上の特定の電極相互間、半導体チップ3表面上の特定の電極と絶縁配線基板2の表面上の導電体層との間、絶縁配線基板2の表面上の導電体層と樹脂ケース4に設けられた電極5との間及び半導体チップ3表面上の特定の電極と樹脂ケース4に設けられた電極5との間は、ボンディングワイヤ6aを介して電気的に接続されている。さらに樹脂ケース4の

電極5は、樹脂ケース4の内部に埋め込まれたCu等の金属からなる信号配線7を経由して、樹脂ケース4の上部に設けられた外部端子8に導かれている。

【0018】また、樹脂ケース4の上部付近内側には段差部12が設けられており、この段差部12に制御用基板11が載置され、接着剤等を用いて固定されている。この制御用基板11上には、従来と同様にIC(集積回路)等の種々の実装部品が載置され、これらは図示しない配線パターンによって相互に結線されて制御回路が構成されており、この制御回路で半導体チップ3を制御するための信号が発生される。

【0019】さらに制御用基板11には複数の開口部13が形成されており、制御用基板11で発生された信号は、制御用基板11上の図示しない配線パターンと上記半導体チップ3表面上の特定の電極とを直接に接続するよう、上記開口部13を通過するボンディングワイヤ6bを経由して半導体チップ3に供給されるようになっている。

【0020】なお、制御用基板11上には、外部から信号を入力するための複数の信号電極14が突出するように設けられている。図2は、図1に示したパワー半導体モジュールの平面図であり、制御用基板11は図示を省略している。この例では、各半導体チップ3は、チップ裏面の全面電極としてコレクタ電極が、チップ表面上に複数個(本例では4個)のエミッタ電極E及び1個のゲート電極Gが形成されたIGBTである。

【0021】図示のように、各半導体チップ(IGBTチップ)3表面上のエミッタ電極Eはボンディングワイヤ6aを介して最終的に樹脂ケース4の外部端子8に接続されている。これに対して、ゲート電極Gは図1に示すように、ボンディングワイヤ6bによって制御用基板11上の所定の配線パターン(図2では図示せず)に直接に接続されている。

【0022】図3及び図4は制御用基板11の異なる例を示す平面図である。図3に示した制御用基板11は図1の実施の形態で使用されているものであり、開口部13の他に複数の信号電極14が形成され、かつ複数の実装部品15が載置されている。また、16は制御用基板11の一辺部形成された切欠部である。この切欠部16にボンディングワイヤ6bを通して、制御用基板11の配線パターンと半導体チップ3の表面上のゲート電極Gとを電気的に接続してもよい。

【0023】なお、樹脂ケース4に設けられている段差部12は、図3に示すように樹脂ケース4の平面形状が方形の場合に四辺の全てに設けても良いし、一部の辺(例えば対向する2辺)に設けても良い。

【0024】図4に示した制御用基板11は、ボンディングワイヤ6bを通すための開口部13を設ける代わりに、制御用基板11自体を複数の部分(この例では3つの部分)に分割したものである。この場合、ボンディング

グワイヤ6bは分割された基板の隙間17に通す。

【0025】図5は上記実施の形態によるパワー半導体モジュールの等価回路図である。制御用基板11には実装部品15として複数個（この例では2個）のIC（集積回路）21や、各ICの出力にそれぞれの一端が接続された3個の抵抗22が設けられている。そして、上記各抵抗22の各他端は、半導体チップ3（この例では6個のIGBTチップ）の各ゲート電極にそれぞれ接続されている。上記6個の半導体チップ3はそれぞれ3個ずつ2組に分割されており、一方の組の3個の半導体チップ3のコレクタ電極は正極性の電源電圧が供給される外部端子Pに共通に接続され、エミッタ電極は出力用の外部端子OUTに共通に接続される。他方の組の3個の半導体チップ3のコレクタ電極は上記外部端子OUTに共通に接続され、エミッタ電極はグランド電位が供給される外部端子Nに共通に接続されている。

【0026】このような構成によれば、図10に示すようにゲート電極Gを接続する際に使用した樹脂ケース4上の電極5（中継用の電極5）が不要になるので、半導体チップを理想的な形で配置することが可能となり、装置全体の小型化を実現することができる。さらに、半導体チップ3のコレクタ電極C、エミッタ電極Eと接続される外部端子8を、半導体チップ3により近い位置に配置することができるので、コレクタ、エミッタ接続用のボンディングワイヤ6aの長さを短くすることができる。これによって配線の低インダクタンス化を達成することができる。

【0027】なお、上記制御用基板11の代わりに金属配線体を用いるようにしてもよい。この金属配線体を用いて制御回路の実装を行う場合には、金属配線体自体が配線となるため、所定の形状に加工する必要がある。この場合、制御回路を構成する各部品はモジュールの外部に設けることがあり、このような場合、制御用基板は配線としてのみ用いられる。

【0028】また、最終的には、制御用基板上の樹脂ケース開口部をカバー板で覆うことによりモジュールとして完成する。この際、先の電極14はカバー板より突出した状態になる。

【0029】図6はこの発明の他の実施の形態によるパワー半導体モジュールの断面図である。この実施の形態では、半導体チップ3表面上の特定の電極（図2中のゲート電極G）と制御用基板11の配線パターンとの接続を配線18の半田付けによって行っている。さらに、半導体チップ3表面上の特定の電極（図2中のエミッタ電極E）と別な半導体チップ3が固着されている絶縁配線基板2の表面上の導電体層上との間及び半導体チップ3表面上の特定の電極（図2中のエミッタ電極E）と樹脂ケース4の電極5との接続を、金属配線板19を半田付けすることによって行っている。半導体チップ3表面上の電極の配置を工夫することにより、このような接続も

可能となる。

【0030】さらにこの実施の形態のものでは、一つの絶縁配線基板2上の導電体層と外部端子8との間の電気的接続を、従来のようなボンディングワイヤを用いることなしに、外部端子8を絶縁配線基板2表面上の導電体層と一体化形成することにより実現している。

【0031】図7はこの発明のさらに他の実施の形態によるパワー半導体モジュールの断面図である。この実施の形態では、半導体チップ3表面上の複数の各電極及び10一つの絶縁配線基板2表面上の導電体層と制御用基板11の配線パターンとの電気的接続を、圧接機構により行うようにした場合である。この圧接機構としては内部にスプリングが挿入された圧接用の金属ピン20が用いられる。

【0032】なお、上記各実施の形態において、半導体チップのコレクタ電極と接続されている絶縁配線基板2表面上の導電体層と外部端子8との電気的接続を溶接によって行うこともできる。

【0033】図8はこの発明の別の実施の形態によるパワー半導体モジュールの断面図である。この実施の形態では、図1中の金属ベース1として平板状のものではなく、自冷、水冷、空冷など各種方式による金属放熱フィン23を用いるようにしたものである。なお、図6、図7の実施の形態においても、金属ベース1としての放熱フィン23を用いることができる。

【0034】この発明は上記実施の形態に限定されるものではなく、種々の変形が可能であることはいうまでもない。例えば図1に示した実施の形態では、樹脂ケース4に制御用基板11を固定するために、樹脂ケース4の上部付近内側に段差部12を設け、この段差部12に制御用基板11を載置し、接着剤等を用いて固定する場合について説明したが、これは段差に加えて、ストライプ状の支持部を樹脂ケース4に一体成形してその上に制御用基板11を載置、固定するように構成してもよい。その際は、制御用基板11の開口部13がストライプ状の支持部に重ならないように配置する必要がある。

【0035】

【発明の効果】以上説明したようにこの発明によれば、理想的な半導体チップ配置とし、小型で低インダクタンス性能を合わせ持つ半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係るパワー半導体モジュールの断面図。

【図2】図1に示したパワー半導体モジュールの平面図。

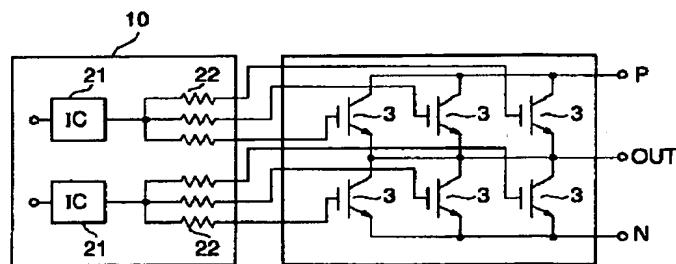
【図3】図1に示したパワー半導体モジュールで使用される制御用基板の平面図。

【図4】図3とは異なる制御用基板の平面図。

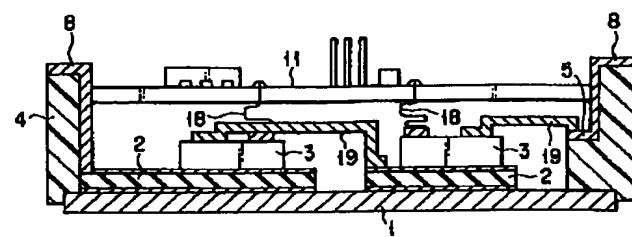
【図5】図1のパワー半導体モジュールの等価回路図。



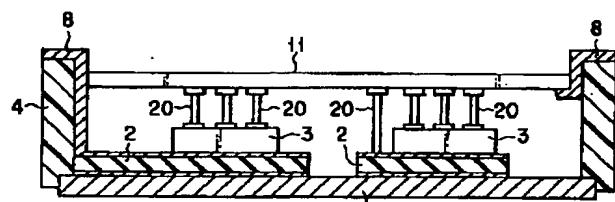
【図5】



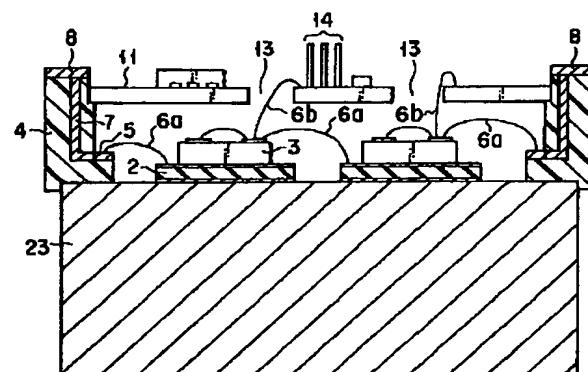
【図6】



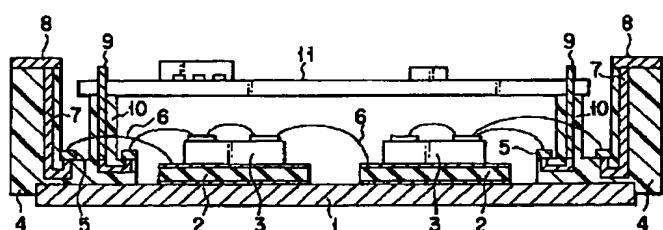
【図7】



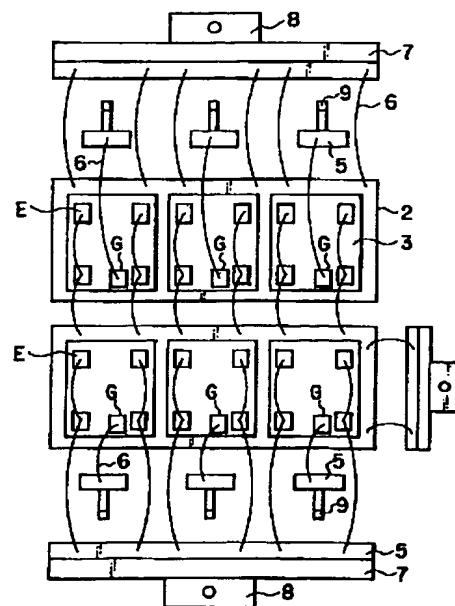
【図8】



【図9】



【図10】



(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07058272 A**

(43) Date of publication of application: 03 . 03 . 95

(51) Int. Cl. **H0**

H01L 23/50  
H01L 21/60  
H01L 23/12  
H01L 25/07  
H01L 25/18  
H03K 17/00

(21) Application number: 05228262

(22) Date of filing: 20 . 08 . 93

(71) Applicant: **ORIGIN ELECTRIC CO LTD**

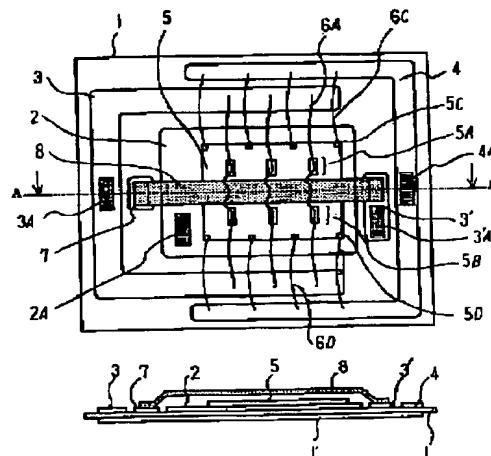
(72) Inventor: **SHINOHARA SHINICHI  
SAITO RYOJI**

(54) POWER SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To obtain the title semiconductor device whose inductance and resistance are small and which is suitably operated at a high frequency by a comparatively simple wiring constitution.

**CONSTITUTION:** A power semiconductor device is formed in such a way that a first main current electrode, a second main current electrode composed of a plurality of small electrodes and a control-signal electrode for a semiconductor element 5 are connected electrically to a first electrode pad 2, a second electrode pad 3 and a third electrode pad 4 which are formed on one or more electrically insulating plates so as to correspond. In the power semiconductor device, the second main current electrode composed of the plurality of small electrodes is connected to the second electrode pad 3 or the other electrode pad through a wide metal member 8.



COPYRIGHT: (C)1995,JPO